

**SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

Patent Number: JP2000196074  
Publication date: 2000-07-14  
Inventor(s): ISHIBASHI HIROSHI; MATSUDA NOBORU  
Applicant(s): TOSHIBA CORP  
Requested Patent: ☐ JP2000196074  
Application Number: JP19980371307 19981225  
Priority Number(s):  
IPC Classification: H01L29/78; H01L21/76; H01L21/336  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a reliable trench structure of semiconductor device which has a gate-insulating film free of BT(bias temperature) and long in TDDb life time, and its manufacturing method.

**SOLUTION:** This is a semiconductor device which at least possesses a semiconductor substrate 1 equipped with a trench for element isolation, a gate insulating film 7 having three-layer structure of a first oxide film, a nitride film, and a second oxide film in order from trench side, made on the trench, and the gate electrode 8 buried in the trench, and in which the thickness reduced to oxide film basis of the three-layer structure of gate insulating film 7 is 25-35 nm, and its manufacturing method.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196074

(P2000-196074A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	6 5 3 A 5 F 0 3 2
21/76		21/76	L
21/336		29/78	6 5 2 K
			6 5 8 F

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号 特願平10-371307

(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石橋 弘

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

(72) 発明者 松田 昇

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

(74) 代理人 100077849

弁理士 須山 佐一

Fターム (参考) 5F032 AA35 AA37 AA45 AA46 AA48

CA17 CA25 DA02 DA03 DA12

DA23 DA25 DA34 DA43 DA53

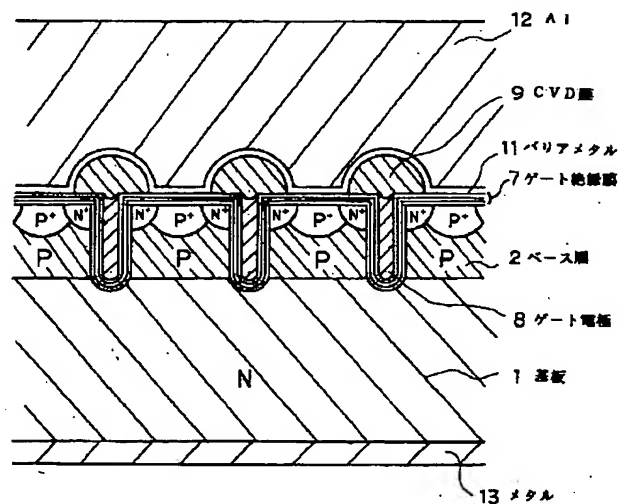
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 B T変動のない、T D D B寿命の長いゲート絶縁膜を有する信頼性の高いトレンチ構造の半導体装置およびその製造方法を提供する。

【解決手段】 素子分離用溝部を備えた半導体基板と、溝部上に形成された、溝部側から第1の酸化膜、窒化膜および第2の酸化膜の順に三層構造を有するゲート絶縁膜と、溝部に埋め込まれたゲート電極とを少なくとも具備し、三層構造のゲート絶縁膜の酸化膜換算の厚さが25から35 nmである半導体装置およびその製造方法。

10



1

## 【特許請求の範囲】

【請求項1】 素子分離用溝部を備えた半導体基板と、前記溝部に形成された、前記溝部側から第1の酸化膜、窒化膜および第2の酸化膜の順に三層構造を有するゲート絶縁膜と、前記溝部に埋め込まれたゲート電極とを少なくとも具備する半導体装置であって、前記三層構造のゲート絶縁膜の酸化膜換算の厚さが25から35nmであることを特徴とする半導体装置。

【請求項2】 前記第1の酸化膜の厚さが15から25nmであり、前記窒化膜の厚さが8から16nm、前記第2の酸化膜の厚さが6から10nmであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の酸化膜の形成温度が900から950℃であり、前記窒化膜の形成温度が700から800℃であることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記半導体装置は、低電圧駆動型MOS-FETであることを特徴とする請求項1記載の半導体装置。

【請求項5】 半導体基板上に素子分離用溝部を形成する工程と、前記溝部に、第1の酸化膜、窒化膜および第2の酸化膜からなる三層構造のゲート絶縁膜を酸化膜換算の厚さが25から35nmとなるように形成する工程と、前記ゲート絶縁膜の形成された前記溝部にゲート電極を埋め込む工程とを少なくとも具備することを特徴とする半導体装置の製造方法。

【請求項6】 前記第1の酸化膜の厚さが15から25nmであり、前記窒化膜の厚さが8から16nm、前記第2の酸化膜の厚さが6から10nmであることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記第1の酸化膜の形成温度が900から950℃であり、前記窒化膜の形成温度が700から800℃であることを特徴とする請求項5記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、素子分離用溝部を有する半導体装置およびその製造方法に係わり、特に、低電圧駆動縦型MOS-FETにおいて三層のゲート絶縁膜を有するトレンチゲート型半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 トランジスタなどの半導体装置を、微細加工技術により高密度に集積させた高集積回路において、さらなる高集積化および高い駆動能力が求められている。

【0003】 近年、中でも注目されているのがトレンチ（溝）を有する半導体装置である。ゲートをトレンチ構造にすると、基板上のゲート部分の占有面積を狭くすることができ、その結果電流値の大きな、性能の良い高集

2

積化回路が実現される。

【0004】 特に100V以下の低耐圧デバイスにはオン抵抗を改善するためにトレンチ構造のパワーMOSFETが用いられている。このような低電圧駆動型MOS-FETのトレンチゲート絶縁膜の構造は、シリコン酸化膜、シリコン窒化膜-シリコン酸化膜、シリコン酸化膜-シリコン窒化膜-シリコン酸化膜、シリコン酸化膜-ポリシリコン酸化膜等である。

【0005】 こうしたトレンチゲートにおけるゲートの信頼性を表わすパラメータとして、BT（Bias Temperature）ストレスおよびTDD寿命がある。

【0006】 BTストレスとは、正に帯電したアルカリイオンを定量化するために、200℃から300℃で加熱し、 $10^6$  V/cm程度の電界を印加することである。これによるCV（容量-電圧）特性の平行移動、すなわち、 $\Delta V_{FB}$ からその定量化ができる。MOSトランジスタでは分極性ヒステリシスを起こす。図10に150℃で168時間電界を印加したときのヒステリシスの一例を示す。

【0007】 また、TDD寿命とは、トランジスタの製品寿命であり、詳しくは10Vで一年経た時の不良率である。図9にTDDの一例を示す。

【0008】 ゲート絶縁膜が、シリコン酸化膜-シリコン窒化膜-シリコン酸化膜の三層構造からなる場合、長いTDD寿命を得るためには窒化膜を厚くすればよいが、-BT時の変動が大きくなる。これは窒化膜自体に蓄積されている電荷に起因している。また、逆に窒化膜が薄いと、窒化膜のピンホール等に起因してゲート電極からプラスの可動イオンが窒化膜を突き抜けて、これがゲート絶縁膜中にトラップされることでBT変動が生じてしまう。

## 【0009】

【発明が解決しようとする課題】 以上のように、BT変動のない、TDD寿命の長いゲート絶縁膜を有するトレンチ構造の半導体装置およびその製造方法が必要とされていた。

【0010】 従って、本発明は、BT変動のない、TDD寿命の長いゲート絶縁膜を有する信頼性の高いトレンチ構造の半導体装置およびその製造方法を提供することを目的とする。

## 【0011】

【課題を解決するための手段】 本発明の半導体装置は、素子分離用溝部を備えた半導体基板と、前記溝部に形成された、前記溝部側から第1の酸化膜、窒化膜および第2の酸化膜の順に三層構造を有するゲート絶縁膜と、前記溝部に埋め込まれたゲート電極とを少なくとも具備し、前記三層構造のゲート絶縁膜の酸化膜換算の厚さが25から35nmであることを特徴としている。

【0012】 本発明の半導体装置は、低電圧駆動型MOS-FETとして有用である。

3

【0013】本発明の半導体装置の製造方法は、半導体基板上に素子分離用溝部を形成する工程と、前記溝部に、第1の酸化膜、窒化膜および第2の酸化膜からなる三層構造のゲート絶縁膜を酸化膜換算の厚さが25から35nmとなるように形成する工程と、前記ゲート絶縁膜の形成された前記溝部にゲート電極を埋め込む工程とを少なくとも具備することを特徴としている。

【0014】より具体的には、本発明の半導体装置の製造方法は、半導体基板上にエピタキシャル層およびベース層を堆積する工程と、コンタクト領域となる不純物拡散領域或してソース領域を形成する工程と、素子分離用溝部であるトレンチをRIE (Reactive Ion Etching) によりエッチングする工程と、トレンチに第1の酸化膜、窒化膜および第2の酸化膜からなる三層構造のゲート絶縁膜を、それぞれ所定の温度にて、熱酸化、減圧CVD (Chemical Vapor Deposition) 法、熱酸化により形成する工程と、ゲート絶縁膜の形成されたトレンチにゲート電極を埋め込み、平坦化し、CDE (Chemical Dry Etching) によりエッチバックする工程と、少なくともゲート電極を覆うように層間絶縁膜を形成する工程と、層間絶縁膜の上にバリアメタル層を堆積する工程と、バリアメタル層の上にソース電極を形成する工程とを具備している。

【0015】本発明の半導体装置およびその製造方法において、前記第1の酸化膜の厚さは15から25nm、窒化膜の厚さは8から16nm、前記第2の酸化膜の厚さは6から10nmである。

【0016】本発明の半導体装置およびその製造方法において、前記第1の酸化膜の形成温度は900から950℃、前記窒化膜の形成温度は700から800℃である。

【0017】本発明において、ゲート絶縁膜は、基板側から第1の酸化膜、窒化膜、第2の窒化膜からなる三層構造とした。三層構造にすると、トレンチ開口部の角部における応力を緩和したり、欠陥をカバーしたり、機能を分担させるのに効果的である。ゲート絶縁膜は厚くすれば破壊耐圧を増大させることができるが、単純に厚くすればよい、というわけではない。というのは、第1の酸化膜と窒化膜の厚みにより半導体素子の動作特性が決まるためである。

【0018】ゲート絶縁膜が三層構造からなる場合、上述したように、長いTDDDB寿命を得るためには窒化膜を厚くすればよいが、窒化膜を20nm程度まで厚くすると、窒化膜自体に蓄積されている電荷が原因で-BT時の変動が大きくなる。また、逆に窒化膜を、8nm未満の薄さにすると、窒化膜のピンホール等に起因してゲート電極からプラスの可動イオンが窒化膜を突き抜けて、これがゲート絶縁膜中にトラップされてBT変動が生じる。

【0019】窒化膜の厚さとTDDDB寿命の関係につい

4

て図6に示す。製品寿命としては少なくとも10<sup>6</sup>時間が必要とされる。この製品寿命を得るには窒化膜の厚さは8nm必要である。また、窒化膜とBT変動の関係について図7および8に示す。+BT時の $\Delta V_{FB}$ は窒化膜厚が0nm、80nmおよび20nmのいずれの場合も十分低いが、-BT時の $\Delta V_{FB}$ は窒化膜厚が0nmおよび20nmの場合に許容できないレベルとなってしまう。

【0020】従って、本発明においては、BT変動ならびにTDDDB寿命を考慮して、窒化膜厚を8から16nmを最適値として定めた。この値は、実際にBT変動およびTDDDB寿命を測定してはじめて得られたものである。

【0021】また、本発明において、最も基板側の第1の酸化膜の厚さを15から25nmとすることで絶縁性に優れ、信頼性が向上する。

【0022】このように、本発明においては、所定の形成温度を用いて所定の厚さの第1の酸化膜および窒化膜を形成することで、BT変動のない、TDDDB寿命の長いゲート絶縁膜が実現される。

【0023】本発明の半導体装置において用いる材料は特に限定されるものではないが、例えば、半導体基板としては、シリコン、GaAs等、ゲート電極としては、ポリシリコン、BPSG (Boron Phosphorus Silicate Glass)、PSG (PhosphoSilicate Glass) 等、層間絶縁膜としては、SiO<sub>2</sub>、PSG、Si<sub>3</sub>N<sub>4</sub> 等、バリアメタルとしてはTi、TiW等、ソース電極およびドレイン電極としては、Al、Cu、Au等である。

【0024】また、本発明は、MOS-FETばかりでなく、半導体基板の裏面全面にp型層を形成したn型半導体基板を用いればIGBT (絶縁ゲート型バイポーラトランジスタ) にも適用することができる。

【0025】

【発明の実施の形態】本発明の半導体装置について図1～5を用いて説明する。

【0026】図1は本発明の半導体装置の断面図である。

【0027】N型シリコン基板1の一主面側に堆積されたP型ベース層3に、トレンチが形成されており、トレンチには厚さ20nmの第1の酸化膜、その上に厚さ12nmの窒化膜、そしてその上に厚さ8nmの第2の酸化膜からなるゲート絶縁膜7が形成されている。このゲート絶縁膜の酸化膜換算の総厚さは30nmである。トレンチにはゲート電極8が埋め込まれている。トレンチトレンチ間領域には、P+不純物拡散領域4とN+ソース領域5が形成されている。さらに、ゲート電極8を覆うようにSi<sub>3</sub>N<sub>4</sub> CVD膜9が堆積され、Tiからなるバリアメタルを介してソース電極であるアルミニウム12が堆積している。また、シリコン基板1の他主面側にはドレイン電極となるメタル13が堆積されてい

5

る。

【0028】本発明の一実施例による半導体装置の製造工程を図2～5を用いて説明する。

【0029】まず、図2 (a) に示す通り、N型シリコン基板1の一面側にP型ベース層2を、例えばCVD法により堆積させて、その上にマスクを介してホウ素等のイオンを注入して所定の位置にP+不純物拡散領域を形成する。さらに、P+不純物拡散領域の間に砒素、アンチモン、りん等のイオンを注入してN+ソース領域を形成する。さらに、熱シリコン酸化膜3を堆積する。

【0030】次に、熱シリコン酸化膜3の上にさらに、CVD法によりCVC酸化膜4を堆積する(図2 (b))。

【0031】トレンチエッチングする部位以外にレジスト5を塗布し(図2 (c))、エッチングする(図2 (d))。

【0032】レジスト5を除去したら(図3 (e))、N+ソース領域5を貫くようにしてトレンチ6を反応性イオンエッチング(RIE)により形成する。トレンチ6の幅は約1  $\mu\text{m}$ 、深さは約3  $\mu\text{m}$ とする(図3 (f))。トレンチ6にCDE (Chemical Dry Etching) によりダメージ処理を施す(図3 (g))。熱シリコン酸化膜3およびCVD酸化膜4を除去する(図3 (h))。

【0033】さらに、図4 (i) に示すように、トレンチ6に厚さ20 nmの第1の酸化膜、その上に厚さ12 nmの窒化膜、そしてその上に厚さ8 nmの第2の酸化膜からなるゲート絶縁膜7を堆積する。第1の酸化膜の形成条件は、酸素と水素の混合雰囲気内で930℃、窒化膜の形成条件は、減圧CVDで750℃、第2の酸化膜の形成条件は、酸素と水素の混合雰囲気内とする。

【0034】ゲート絶縁膜7の形成されたトレンチ6にゲート電極8を埋め込む(図4 (j))。このゲート電極8に平坦化処理を施し、エッチバックする(図4 (k))。層間絶縁膜として $\text{Si}_3\text{N}_4$  からなるCVD膜9を全面に堆積する(図4 (l))。

【0035】 $\text{Si}_3\text{N}_4$  からなるCVD膜9をエッチングするために、レジスト10を塗布して(図5 (m))、RIEにより加工した後(図5 (n))、T

6

i からのバリアメタル11を介してソース電極であるアルミニウム12を全面に堆積させて(図5 (o))、ドレイン電極をシリコン基板1の他主面側に堆積させて(図示せず)半導体装置とする。

【0036】以上、Nチャネル型について説明してきたが、言うまでもなく、Pチャネル型についても同様に作成できる。

【0037】

【発明の効果】本発明によれば、BT変動のない、TDDDB寿命の長いゲート絶縁膜を有するトレンチ構造の半導体装置およびその製造方法が提供される。

【図面の簡単な説明】

【図1】本発明の半導体装置の拡大断面図。

【図2】本発明の半導体装置の製造工程を示す図。

【図3】本発明の半導体装置の製造工程を示す図。

【図4】本発明の半導体装置の製造工程を示す図。

【図5】本発明の半導体装置の製造工程を示す図。

【図6】ライフタイムと窒化膜厚の関係を示すグラフ。

【図7】+BT時の電圧特性と窒化膜厚の関係を示すグラフ。

【図8】-BT時の電圧特性と窒化膜厚の関係を示すグラフ。

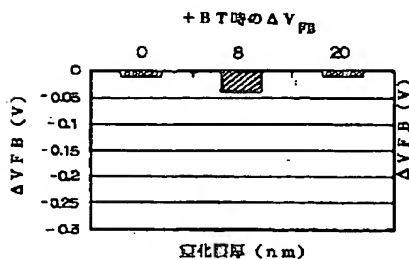
【図9】TDDDB寿命を示すグラフ。

【図10】BT変動を示すグラフ。

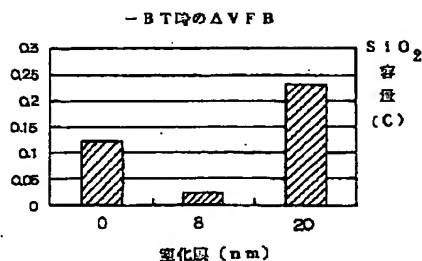
【符号の説明】

- 1…基板
- 2…ベース層
- 3…熱シリコン酸化膜
- 4…CVD酸化膜
- 5…レジスト
- 6…トレンチ
- 7…ゲート絶縁膜(第1の酸化膜、窒化膜、第2の酸化膜)
- 8…ゲート電極
- 9…CVD膜
- 10…レジスト
- 11…バリアメタル
- 12…アルミニウム

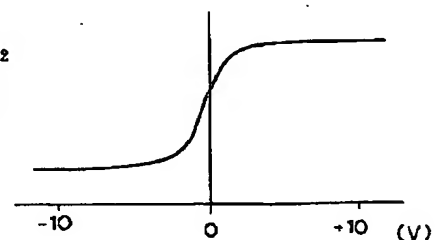
【図7】



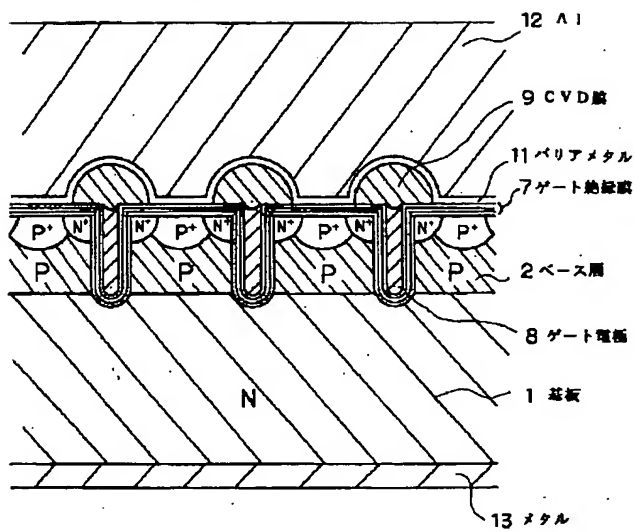
【図8】



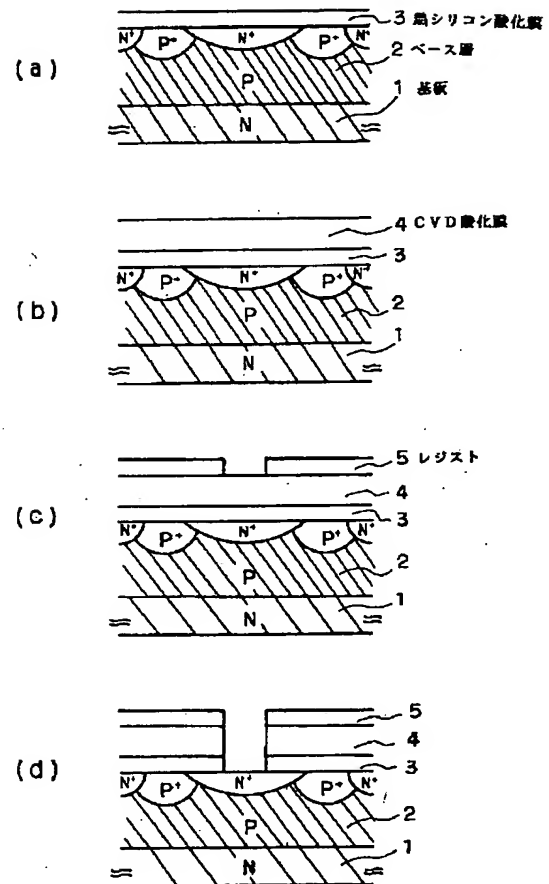
【図10】



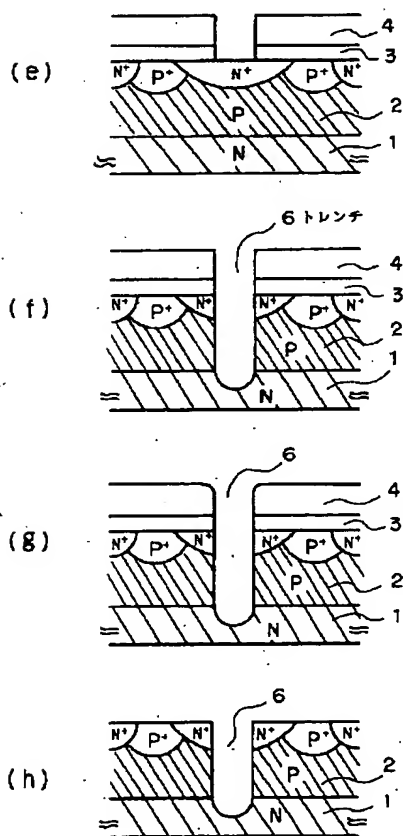
【図1】



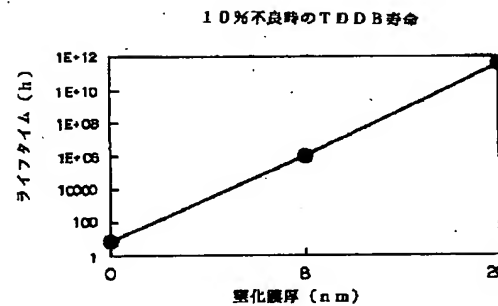
【図2】



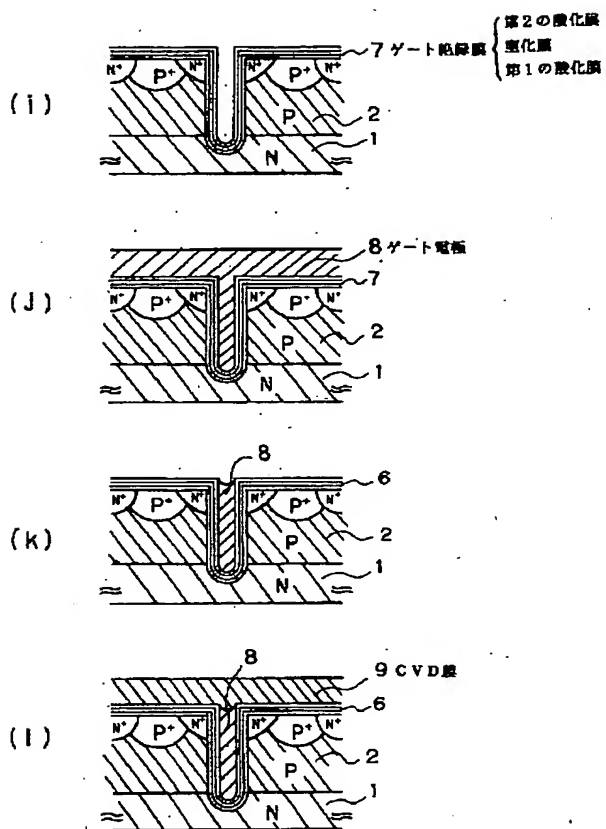
【図3】



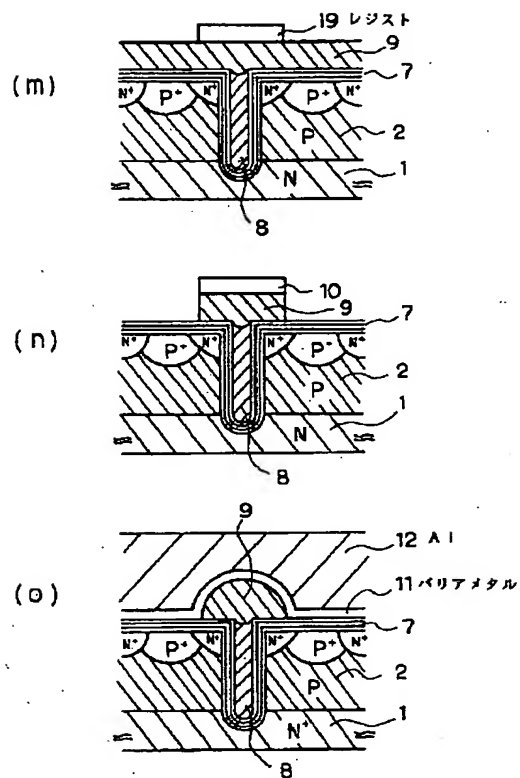
【図6】



【図4】



【図5】



【図9】

